

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-316485

(43)Date of publication of application : 29.11.1996

(51)Int.Cl. H01L 29/786  
H01L 21/336  
H01L 21/20  
H01L 21/268

(21)Application number : 07-114673

(71)Applicant : FUJI XEROX CO LTD

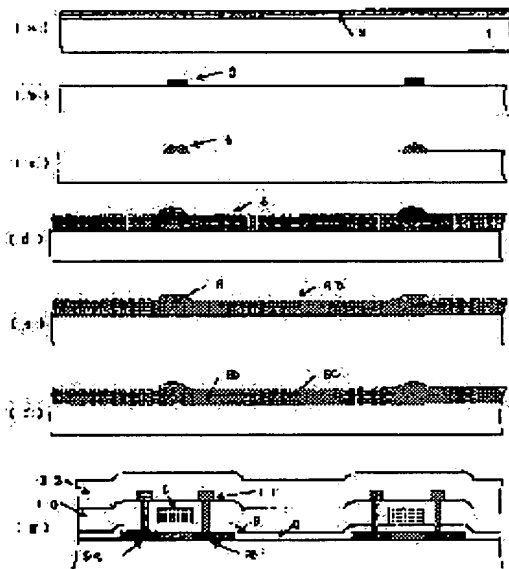
(22)Date of filing : 12.05.1995

(72)Inventor : ASAI ICHIRO

MIYAMOTO YASUMASA

(54) FORMATION OF SEMICONDUCTOR CRYSTAL AND MANUFACTURE OF SEMICONDUCTOR DEVICE USING THIS

(57)Abstract:



PURPOSE: To form selectively crystal nuclei having a good crystallizability under a low temperature by a method wherein a short-wavelength pulsed laser is made to irradiate a first insular semiconductor thin film, the first semiconductor thin film is agglomerated and is made to solidify to form single crystal nuclei and moreover, a second semiconductor thin film is deposited and the short-wavelength pulsed laser is made to irradiate the second semiconductor thin film.

CONSTITUTION: An amorphous silicon film 2 is deposited on the surface of a glass substrate 1. After this, the film 2 is insularly processed and is formed into an island 3. Then, a short-wavelength pulsed laser is made to irradiate the

island 3, the island 3 is molten, is agglomerated and is made to solidify to crystallize and nuclei are formed. The island 3 is formed into one single-crystal island 4 not including a defect. Then, after a second amorphous silicon film 5 is deposited, the short-wavelength pulsed laser is made to irradiate the film 5 to perform an annealing, the film 5 is crystal grown and a polycrystalline silicon film 6 is formed. There are numerous grain boundaries 6B in the film 6, but the grain diameter in a part, which is selectively arranged with the nuclei, of the film 6 is formed in a size several times or more than the grain diameter in a part, which is not arranged with the nuclei, of the film 6. A semiconductor crystalline film having a good crystallizability can be formed using this film 6.

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-316485

(43) 公開日 平成8年(1996)11月29日

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	P I	技術表示箇所
H 0 1 L	29/786		H 0 1 L 29/78	6 2 7 G
	21/336		21/20	
	21/20		21/268	Z
	21/268			

審査請求 未請求 請求項の数 8 O L (全 14 頁)

(21) 出願番号 特願平7-114673

(22) 出願日 平成7年(1995)5月12日

(71) 出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂二丁目17番22号

(72) 発明者 浅井 市郎

神奈川県海老名市本郷2274番地 富士ゼロックス株式会社海老名事業所内

(72) 発明者 宮本 育昌

神奈川県海老名市本郷2274番地 富士ゼロックス株式会社海老名事業所内

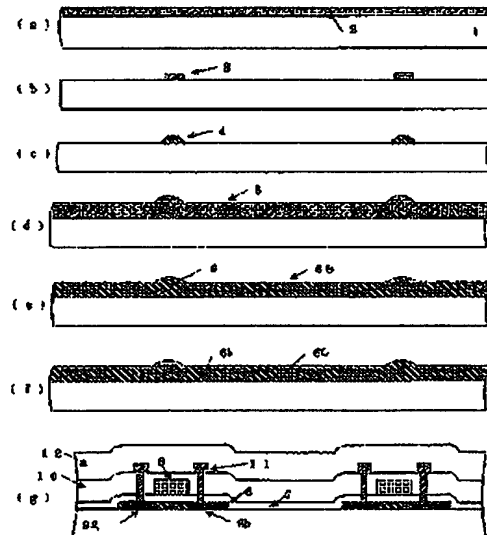
(74) 代理人 弁理士 木村 高久

(54) 【発明の名称】 半導体結晶の形成方法及びこれを用いた半導体装置の製造方法

(57) 【要約】

【目的】 低温下で結晶性の良好な結晶核を選択的に形成するとともに、これを用いて結晶性が良好でかつ粒径が大きくまた粒径分布を制御され、平坦性に優れた半導体膜を低温でかつスループットよく絶縁性基板上に形成できる半導体結晶の形成方法及びかかる形成方法に基づいた半導体素子を提供する。

【構成】 本発明の第1の特徴は、絶縁性基板1表面に島状のパターンからなる第1の半導体薄膜3を形成する第1の半導体薄膜形成工程と、前記第1の半導体薄膜に短波長パルスレーザを照射し凝集固化させて成長用の核4を形成する核形成工程と、前記核の上部を覆うように第2の半導体薄膜5を堆積する第2の半導体薄膜堆積工程と、前記第2の半導体薄膜に、短波長パルスレーザ光を照射して結晶成長させる結晶成長工程とを含むことにある。



(2)

特開平8-316485

1

【特許請求の範囲】

【請求項1】 絶縁性基板表面に第1の半導体薄膜を島状に形成する第1の半導体薄膜形成工程と、

前記第1の半導体薄膜に短波長パルスレーザを照射し凝集固化させて成長用の核を形成する核形成工程と、

前記核を覆うように第2の半導体薄膜を堆積する第2の半導体薄膜堆積工程と、

前記第2の半導体薄膜に、短波長パルスレーザ光を照射して結晶成長させる結晶成長工程とを含むことを特徴とする半導体結晶の形成方法。

【請求項2】 前記第2の半導体薄膜堆積工程は、アモルファス半導体薄膜を堆積する工程であることを特徴とする請求項(1)記載の半導体結晶の形成方法。

【請求項3】 前記結晶成長工程は、短波長パルスレーザ光を用いて、2次粒成長を生起するのに十分なエネルギーを付与する工程を含むことを特徴とする請求項(1)または(2)のいずれかに記載の半導体結晶の形成方法。

【請求項4】 前記結晶成長工程は、エネルギー照射量とショット数とを制御し、2次粒成長を生起するのに十分なエネルギーを前記第2の半導体薄膜に付与する工程を含む工程であることを特徴とする請求項(3)に記載の半導体結晶の形成方法。

【請求項5】 核形成工程は、2次粒成長を生起するのに十分なエネルギーを前記第1の半導体薄膜に付与する工程を含む工程であることを特徴とする請求項(3)に記載の半導体結晶の形成方法。

【請求項6】 前記第1の半導体薄膜形成工程に先立ち、ガラス基板表面にパッファ層として酸化シリコン膜と窒化シリコン膜とを含む多層膜を形成する工程を含むことを特徴とする請求項(1)または(2)のいずれかに記載の半導体結晶の形成方法。

【請求項7】 絶縁性基板表面に第1の半導体薄膜を島状に形成する第1の半導体薄膜形成工程と、前記第1の半導体薄膜に短波長パルスレーザを照射し凝集固化させて成長用の核を形成する核形成工程と、

前記核を覆うように第2の半導体薄膜を堆積する第2の半導体薄膜堆積工程と、

前記第2の半導体薄膜を加熱し固相成長により、結晶薄膜を形成する固相成長工程と、

前記結晶薄膜に対し、短波長パルスレーザ光を照射し2次粒成長を生起するのに十分なエネルギーを付与し、結晶粒を拡大せしめる結晶成長工程とを含むことを特徴とする半導体結晶の形成方法。

【請求項8】 絶縁性基板表面に島状のパターンからなる第1の半導体薄膜を形成する第1の半導体薄膜形成工程と、

前記第1の半導体薄膜に短波長パルスレーザを照射し凝集固化させて成長用の核を形成する核形成工程と、

前記核を覆うように第2の半導体薄膜を堆積する第2の半導体薄膜堆積工程と、

2

前記第2の半導体薄膜に、短波長パルスレーザ光を照射して結晶成長させる結晶領域を形成する結晶成長工程とを含み、

この結晶領域に素子を形成する素子形成工程とを含む半導体装置の製造方法において、

さらに前記第1の半導体薄膜形成工程と同時にまたはこれに先立ち素子領域形成のための位置合わせマークを形成する工程を含み、

10 前記核形成工程および前記結晶成長工程は、前記位置合わせマークを避けて短波長パルスレーザ光を照射する工程であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体結晶の形成方法およびこれを用いた半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、多結晶シリコン（poly-Si）薄膜トランジスタ（TFT：Thin Film Transistor）を用いたアクティブマトリックス液晶表示装置の研究が盛んである。これは、従来のアモルファスシリコン（a-Si）薄膜トランジスタに比べ2けた以上動作速度が早いことなどから、小型化をはかることができ、また従来、表示パネル外部に配置されていたドライブレギュレーションなどをパネル内に集積化し低コスト化できることなどによる。また、この多結晶シリコンTFTを比較的安価で大面積なガラス基板上に形成できる場合には、1枚の基板当たりからとれる素子の数を多くすることができ、低コストの半導体素子を提供できることになる。なお、このようなガラス基板を用いる場合、現在、ガラスの歪み点温度が600℃前後にあるため製プロセスの最高温度を500℃以下にすることが望ましい。

【0003】このように多結晶シリコンTFTは各種の利点を待ため、今後、産業上の発展が期待され、さらにTFT特性やその均一性を向上させようとの活動も盛んである。特に、多結晶シリコンTFTの動作層に関しては、多結晶膜を構成している各粒の粒径を大きくして性能を向上させることはもとより、TFTのチャネル部分に大粒径の粒を選択的に配置することによりTFT特性を均一化・高性能化させようという考え方が提案されている。つまり、成長用の核を選択的に配置してTFTのチャネルのサイズ以上に大きい粒をチャネル部分に成長し形成する。これによりチャネル内に粒界が存在しないようにできるため、均一性よく移動度や閾値電圧を向上することができ、またリーク電流を低減することができるとともに、その均一性も向上できる。すなわち、チャネル部分の膜質を極めて単結晶に近い状態にし、そのトランジスタ性能や均一性も単結晶に近いものを絶縁性基板上に実現しようというものである。

50 【0004】このような考え方にもとづき、従来、図7

(3)

特開平8-316485

3

に示すような方法が提案されている(特開平1-187873号)。この方法では、ガラス基板などの絶縁性基板1上にアモルファスシリコン薄膜2を堆積した後(図7(a))、ホトリソグラフィ法によりこれをパターニングし、図7(b)に示すように島状に加工する。そしてこの島状のアモルファスシリコン薄膜3を結晶成長させて島状の単結晶シリコン薄膜4を形成する(図7(c))。

ここで、結晶成長方法としては、ストリップヒーターアニールなどに比べ、約600℃の低温で長時間アニールして固相成長させる方法が配向性のそろった均一な結晶を成長させる上で有効であるとしている。さらに、島状のアモルファスシリコン薄膜3の大きさを1~10μm程度の大きさにすれば、約600℃の低温アニールで十分に島全体が結晶粒に成長しうる。従って、島ひとつひとつが結晶粒界を含まない結晶領域になっている。次に、図7(d)のようにアモルファスシリコン膜5を堆積し、島状の単結晶シリコン薄膜4を核として結晶成長させる。ここでも約600℃の低温で長時間アニールして固相成長させる方法がとられ、おのおのの粒は6Bで示した粒界で衝突するまで成長し結晶粒は100μm程度の大きさになるとしている。さらにこのシリコン膜を島状に加工して素子分離し動作層6となし、TFETのチャネル部が粒界6Bを含まないようにゲート絶縁膜7上にゲート電極8を形成し、このゲート電極8をマスクに不純物を注入しソース電極9aとドレイン電極9bを形成する。次に、堆積した層間絶縁膜10にビアを開けA1などの金属11を堆積し加工して配線とした後、保護膜12を堆積して多結晶シリコンTFETを作製するというものである。

【0005】すなわち、基板上に選択的に成長用の核を形成した後、再度アモルファスシリコン膜を堆積し、熱処理によりこの核を起点として大粒径の粒を成長させ、この中にTFETを形成するものである。核の形成方法としては、第1のアモルファスシリコン膜を島状に加工した後、炉アニールなどによる固相成長により単結晶を得るとしており、核上の第2のアモルファスシリコン膜の成長も固相成長によるものであった。

【0006】

【発明が解決しようとする課題】しかし、このような従来方法においては次のような問題があった。第1に、核の品質が不十分であり、このような核を起点に膜を成長させた場合、確かに大粒径とはなるものの粒内に多数の欠陥が発生してしまうという問題があった。これは、成長時に核がもっていた欠陥が成長膜に履歴として残り、保存され易いためである。核としての島状の単結晶シリコン膜を得るためには、約600℃の低温長時間アニールによる固相成長法が行われている。ここで、アニール前の島状シリコン薄膜の大きさを1~10μm程度としても、確かに約600℃の低温アニールで島全体がひとつの結晶粒に成長しうるものの、島ひとつひとつは結

4

晶欠陥を多く含んでしまうので単結晶シリコン薄膜とは言い難いのが現状であった。

【0007】第2に、核上の第2のアモルファスシリコン膜を固相成長により成長させた場合には、仮に核の品質が十分であっても成長中に成長粒に欠陥が導入されやすいという問題があった。そして、多数の欠陥の発生はTFETの性能向上を困難にしよう。

【0008】第1の点に関しては、第2の点と同様にガラス基板上に低温で形成しなければならないため、結晶成長に必要なエネルギーを十分供給できず固相成長などでは欠陥が残留しやすいことに起因している。また、炉アニールなどによる固相成長により比較的低温で結晶成長させる場合、数十から数百時間もの長時間が必要となりスループットが低く、これが低コスト化を阻む問題となっていた。もちろん、その際の成長温度を上げれば成長速度も増加するが、ガラス基板の歪み点に近づく製造歩留りが低下しやすくなるので好ましくはない。さらに、核上に動作層となる半導体薄膜を成長するため、膜の凹凸が大きくTFETの製造歩留りが低下しやすいという問題もあった。

【0009】本発明は前記実情に鑑みてなされたもので、低温下で結晶性の良好な結晶核を選択的に形成するとともに、これを用いて結晶性が良好でかつ粒径が大きくまた粒径分布を制御され、平坦性に優れた半導体結晶膜を、低温でかつスループットよく絶縁性基板上に形成することを目的とする。

【0010】

【課題を解決するための手段】そこで本発明の第1の特徴は、絶縁性基板表面に島状のパターンからなる第1の半導体薄膜を形成する第1の半導体薄膜形成工程と、前記第1の半導体薄膜に短波長パルスレーザを照射し凝集固化させて成長用の核を形成する核形成工程と、前記核を覆うように第2の半導体薄膜を堆積する第2の半導体薄膜堆積工程と、前記第2の半導体薄膜に、短波長パルスレーザ光を照射して結晶成長させる結晶成長工程とを含むことにある。なおここで絶縁性基板とは、絶縁性部材からなる基板のみならず半導体基板あるいは導電性基板の表面に絶縁膜を形成したものなど、表面が絶縁化された基板を示すものとする。

【0011】望ましくは、この第2の半導体薄膜堆積工程は、アモルファス半導体薄膜を堆積する工程であることを特徴とする。

【0012】また望ましくは、前記結晶成長工程は、2次粒成長を生起するのに十分なエネルギーの短波長パルスレーザ光を照射する工程を含むことを特徴とする。

【0013】さらに望ましくは、前記結晶成長工程は、エネルギー照射量とショット数とを制御し、2次粒成長を生起するのに十分なエネルギーの短波長パルスレーザ光を照射して結晶成長する工程を含むことを特徴とする。

(4)

特開平8-316485

5

5

【0014】また望ましくは、核形成工程は、2次粒成長を生起するのに十分なエネルギーの短波長パルスレーザ光を照射して結晶成長する工程を含むことを特徴とする。さらに望ましくは、前記第1の半導体薄膜形成工程に先立ち、ガラス基板表面にバッファ層として酸化シリコン膜と窒化シリコン膜とを含む多層膜を形成する工程を含む。

【0015】また本発明の第2の特徴は、絶縁性基板表面に第1の半導体薄膜を島状に形成する第1の半導体薄膜形成工程と、前記第1の半導体薄膜に短波長パルスレーザを照射し凝集固化させて成長用の核を形成する核形成工程と、前記核を覆うように第2の半導体薄膜を堆積する第2の半導体薄膜堆積工程と、前記第2の半導体薄膜を加熱し固相成長により、結晶薄膜を形成する固相成長工程と、前記結晶薄膜に対し、短波長パルスレーザ光を照射し2次粒成長を生起するのに十分なエネルギーを付与し、結晶粒を拡大せしめる結晶成長工程とを含むことを特徴とする。本発明の第3の特徴は、絶縁性基板表面に島状のパターンからなる第1の半導体薄膜を形成する第1の半導体薄膜形成工程と、前記第1の半導体薄膜に短波長パルスレーザを照射し凝集固化させて成長用の核を形成する核形成工程と、前記核を覆うように第2の半導体薄膜を堆積する第2の半導体薄膜堆積工程と、前記第2の半導体薄膜に、短波長パルスレーザ光を照射して結晶成長させる結晶領域を形成する結晶成長工程とを含む、この結晶領域に素子を形成する素子形成工程とを含む半導体装置の製造方法において、さらに前記第1の半導体薄膜形成工程と同時にまたはこれに先立ち素子領域形成のための位置合わせマークを形成する工程を含む、前記核形成工程および前記結晶成長工程は、前記位置合わせマークを避けて短波長パルスレーザ光を照射するようにしたことにある。

【0016】また、第1の半導体薄膜も、アモルファス半導体薄膜として堆積されることが望ましい。

【0017】

【作用】本発明によれば、島状の第1の半導体薄膜に、短波長パルスレーザを照射し凝集固化させて成長用の良好な単結晶核を形成し、さらにこの核を覆うように第2の半導体薄膜を堆積して、短波長パルスレーザ光を照射することにより、低温で、かつスループットよく、結晶性が良好でかつ粒径が大きく粒径分布が制御されまた平坦性に優れた半導体結晶膜を、形成することができる。従って、高性能で均一性の高い多結晶シリコン薄膜トランジスタなどの半導体装置を提供することが可能となる。

【0018】なお、短波長パルスレーザ光は、半導体薄膜特にアモルファスシリコンに対する吸収性が高く、基板温度を高めることなく、半導体薄膜に対して選択的にエネルギー照射を行うことができるため、十分な凝集エネルギーを付与することができる。ちなみに、従来の固

相成長では雰囲気温度は約600℃であり、この温度はガラスの歪み点温度に近く、膜あるいはパターンが膨張あるいは収縮しやすいため素子形成上、歩留りが著しく低下しやすく、またそもそも欠陥を多数含む核となってしまうという問題があった。

【0019】ここで、連続波(CW)でなく、短波長パルスレーザを用いたのは、次の2点の理由による。まず、短波長領域ではシリコンの吸収係数が高く、基板まで到達するエネルギーがわずかである点と、パルスにより間欠的にエネルギーを付与することができるため、連続波に比べ、基板温度の上昇を防ぐことができる点である。ここで短波長領域としては波長500nm以下をさすものとし、望ましくは300nm以下の紫外線領域とする。特に、基板として、ガラス基板のように熱歪みの生じ易い基板を用いた場合に有効である。この第2の半導体薄膜は、アモルファス半導体薄膜として堆積するようにすれば、アモルファス半導体薄膜は融点が高いため低温で良好な結晶成長を行うことが可能となる。

【0020】また望ましくは、この結晶成長工程においては、2次粒成長を生起するのに十分なエネルギーの短波長パルスレーザ光を照射することにより、すでに形成された小さな結晶粒を消費しながら大きな結晶粒に成長していくため、大きくかつ結晶性の良好な多結晶半導体薄膜を形成することができる。

【0021】この2次粒成長は、エネルギー照射量とショット数とを制御し、2次粒成長を生起するのに十分なエネルギーの短波長パルスレーザ光を照射することにより、達成される。

【0022】また、核形成に際しても、2次粒成長を生起するのに十分なエネルギーの短波長パルスレーザ光を照射することにより大きく欠陥の少ない核形成を行うことが可能となる。

【0023】さらに、第1の半導体薄膜形成工程に先立ち、ガラス基板表面にバッファ層として酸化シリコン膜を形成し絶縁性基板を形成することにより、レーザアニール時に発生する熱をバッファ層が基板から遮へいし、基板への熱ダメージをより低減することができる。また、基板が含有するNaやAlあるいはBなどの望ましくない不純物が第1の半導体膜からなる核や動作層となる第2の半導体膜に拡散するのを防止するという効果もある。さらに、バッファ層を配置することにより、第1の半導体膜が1つの単結晶島になりやすいように、バッファ層の材質や表面状態を調整することが可能となる。島状薄膜を溶融し凝集し良質の核とするためには、バッファ層の材質は核発生密度がなるべく小さく、またその表面は平坦であることが望ましい。例えば、材質としてはSiNよりもSiO<sub>2</sub>の方が核発生密度が小さいため望ましく、また、バッファ層の表面性は研磨や化学的なエッチングにより平坦化することが望ましい。また、バッファ層表面に存在する極めて微小

(5)

特開平8-316485

7

8

なSiクラスタが凝集時の自然な核となりやすい。このため、固化時に多数の島に分裂しやすくなったり、分裂しなくとも多結晶島となりやすいため、化学的エッチングにより表面を平坦化すれば、このSiクラスタも除去され核発生密度を減少させる上で有効である。特にSi-NとSi-O<sub>2</sub>の2層膜を用いることにより、2次粒成長を行う際の高温についても、良好な熱的絶縁を得ることができ、また、基板からの不純物が動作層に拡散するのを遮断し、信頼性の高い結晶膜を得ることができる。

【0024】本発明の第2では、固相成長後に、短波長パルスレーザを用いて2次粒成長を行うようにしたもので、これによっても大きい結晶粒を得ることができる。固相成長では、短波長パルスレーザを用いた場合よりも大きい結晶粒ができることがあるが、欠陥を生じ易くこの欠陥が、後の2次粒成長でも残留してしまうため、本発明の第1のように、アモルファス半導体膜の状態のまま、短波長パルスレーザによる十分なエネルギーを付与した方がより、結晶性の高い膜を得ることができる。

【0025】本発明の第3では、核形成およびこの核を用いた結晶成長に際して、短波長パルスレーザ光を使用し、いずれの照射工程でも、位置合わせマークを避けて短波長パルスレーザ光を照射することにより、工数を増大することなく高精度の位置合わせを達成することが可能となる。また核の形成と同時にまたはこれに先立ち形成した位置合わせマークを良好に維持しているため、核との位置関係についても高精度に指示することができる。

【0026】なお、堆積する第1の半導体薄膜の膜厚が0.2μm以下であることが望ましい。これは良好な単結晶核を形成するためである。

【0027】また、島状に加工された第1の半導体薄膜の大きさが0.01μmから5μmの範囲であることが望ましい。ここで0.01μmはパターンニング精度の限界であり、5μmより大きくなると、単結晶化するのが難しく、島内に粒界を含んでしまうからである。

【0028】本発明においては、島状に加工された第1の半導体薄膜に短波長パルスレーザを照射し凝集固化させて成長用の核を形成するにあたって、基板を加熱保持しながら凝集固化させることが望ましい。これは基板の冷却速度が緩やかになり、第1の半導体薄膜に十分な熱エネルギーを付与できるため、単一の島に凝集固化し易いためである。

【0029】本発明においては、島状に加工された第1の半導体薄膜に短波長パルスレーザを照射し凝集固化させて成長用の核を形成するにあたって、水素を含む雰囲気中を基板を保持しながら2次粒成長させることが望ましい。これは表面の自由エネルギーを大きくし、原子の自由運動性を高め、結晶性の良好な多結晶膜を得るためである。

【0030】

【実施例】以下、本発明の実施例について図面を参照し

つつ詳細に説明する。

【0031】まず、図1(a)に示すようにガラス基板1表面にLPCVD法により、基板温度450℃にて膜厚50nmのアモルファスシリコン膜2を堆積する。この後、ホトリソグラフィ技術をもちいて島状に加工した(図1(b))。ここで島3の大きさは一辺の長さが1μmの正方形とした。次に、水素雰囲気中で、基板を400℃に保持した状態で、波長248nm、パルス幅25nsのエキシマレーザ装置を用いて一か所あたり1ショットで500mJ/cm<sup>2</sup>のエネルギーにて溶融固化して結晶化核を形成した。この核を評価したところ欠陥を含まない1つの単結晶島4となっていた(図1(c))。この工程は、エキシマレーザのような短波長パルスレーザを島状アモルファスシリコンに照射した場合、まずアモルファスシリコンは溶融し表面張力により半球状に凝集し、その高さはアニール前のアモルファスシリコンの膜厚より厚くなる。やがて冷却し、融点のある程度下まわった温度にて、一挙に固化し結晶化する。このとき、図2に模式図を示すように、条件により初期のアモルファスシリコン島(図2(a))に対して、島は多結晶島となるか(図2(b))、1つの単結晶島となるか(図2(c))、あるいは多数の小さい単結晶島に分裂するか(図2(d))、4つの形態が考えられる。なお、図2は島の平面図であり、粒界が有る場合には点線で示した。エキシマレーザにより極めて結晶性の良好な単結晶島を低温で得るためには以下に述べるように各種の配慮が必要である。

【0032】まず、島状薄膜の大きさは0.01μmから5μmの範囲であることが望ましい。大きさが5μm以上になると、レーザアニールで溶融し固化する際に多数の小さな島に分裂してしまい単一核を形成することが困難となるからである。より好ましくは、特に、0.01μmから2μm以下の範囲の大きさに加工しておくことが単一核を形成する上でより有効である。ただし、0.01μm程度の大きさの単結晶核は比較的容易に形成できるため0.01μm以下にまで小さくする必要はない。なお、島状薄膜の大きさは正方形の場合にはその一辺の長さを、円の場合にはその直径を意味し、楕円や不定形の形状の場合にはおおむね最も長い部分をその大きさとする。

【0033】また、この例では島の形状は正方形としたが、これはフォトリソグラフィなどの作製技術上の問題があったためであり、正方形や円など、等方的な形状が望ましく、さらに言えば加工技術上問題がないなら円形が望ましい。これは、エキシマレーザにより溶融し固化する際に、表面張力が膜に均一に作用しやすく、また固化にあたっての膜の温度分布も均一に維持されやすいため、固化する際に多数の小さな島に分裂したり多結晶島となってしまうことがなく単一の単結晶を得やすいためである。

(6)

特開平8-316485

9

10

【0034】次に、第1の半導体薄膜から加工された島状薄膜の膜厚は、 $2\mu\text{m}$ 以下が望ましい。膜厚は厚い程1つの島に凝集しやすいが、しかし、 $2\mu\text{m}$ 以上の膜厚では凝集により集まってできた膜の凹凸が大きくなってしまい素子の歩留りが低下しやすい。さらに、ゲート絶縁膜の膜厚が一般に $0.1\mu\text{m}$ 以下であることを考えると、第1の半導体薄膜の膜厚は、少なくとも凝集した島の膜厚がゲート絶縁膜の膜厚より薄くなるよう設定することがより望ましい。すなわち、ゲート絶縁膜の膜厚が $0.1\mu\text{m}$ である場合には、第1の半導体薄膜の膜厚を $0.1\mu\text{m}$ 以下にしておくことが特に望ましいことになる。また、エキシマレーザの場合、エキシマレーザ光は紫外光であるため、アモルファスシリコンや多結晶シリコンなどのシリコン膜一般の表面近傍ではほとんど吸収され、島状薄膜の膜厚が $0.3\mu\text{m}$ 以上であると膜全体を溶解しにくく膜全体を単結晶化することは困難となるためである。なお、膜厚があまり薄すぎると溶解し固化する際に多数の小さな島に分裂し易く、逆に良好な多結晶薄膜を得ることができない場合がある。

【0035】単結晶核を形成する場合に重要となるのは、欠陥を含まない核とするために、いかに低温のプロセスで十分なエネルギーを供給するかにある。従来の約 $600^\circ\text{C}$ の固相成長ではガラスの歪み点温度に近く、膜あるいはパターンが膨張あるいは収縮しやすいため素子形成上、歩留りが著しく低下しやすく、またそもそも欠陥を多数含む核になってしまうという問題があった。しかし、エキシマレーザのようなレーザは短波長であるためアモルファスシリコンに対する光吸収が大きく、よって十分なエネルギーをシリコン膜に対して選択的に供給することができる。このようなパルスレーザの場合、パルス当たり数MWという非常に大きいエネルギーを膜に供給することができる。またパルスレーザであるため短時間の処理で基板に熱ダメージをあたえない。レーザによりアモルファスシリコンは $1000^\circ\text{C}$ 以上に瞬間的に昇温され溶解するが、その溶解時間は約 $100\text{ns}$ 程度と極めて短いためガラス基板に熱ダメージを与えることはない。従って、従来の固相成長法に比べて良質の単結晶核を形成することができる。

【0036】なお、基板上に $\text{SiO}_2$ や $\text{Si}_3\text{N}_4$ などのバッファ層を形成してから、第1の半導体膜を堆積し加工しレーザアニールすることがより望ましい。これは、レーザアニール時に発生する熱をバッファ層が基板から遮へいし、基板への熱ダメージがより発生しにくくなる。また、基板が含有するNaやAlあるいはBなどの望ましくない不純物が第1の半導体膜からなる核や動作層となる第2の半導体膜へ拡散するのを防止するという効果もある。さらに、バッファ層を配置することにより、第1の半導体膜が1つの単結晶島になりやすいように、バッファ層の材質や表面状態を調整することが可能となる。島状薄膜を溶解し凝集し良質の核とするため

には、バッファ層の材質は核発生密度がなるべく小さく、またその表面は平坦であることが望ましい。例えば、材質としては $\text{Si}_3\text{N}_4$ よりも $\text{SiO}_2$ の方が核発生密度が小さいため望ましく、また、バッファ層の表面性は研磨や化学的なエッチングにより平坦化することが望ましい。また、バッファ層表面に存在する極めて微小な $\text{Si}$ クラスターが凝集時の自然な核となりやすい。このため、固化時に多数の島に分裂しやすくなったり、分裂しなくとも多結晶島となりやすいため、この $\text{Si}$ クラスターをエッチングにより除去しておくことも核発生密度を減少させる上で有効である。エッチング方法としては、RIE (Reactive Ion Etching) やCDE (Chemical Dry Etching) などのドライエッチングや、溶液を用いるウエットエッチングなどを用いることができる。

【0037】なお、前記実施例では、シリコン半導体薄膜について説明したが、シリコン薄膜のみならずGe薄膜や $\text{SiGe}$ 薄膜あるいはダイヤモンド薄膜、また $\text{InSb}$ 薄膜や $\text{GaAs}$ 薄膜などの他の半導体膜を半導体層として用いる場合にも、有効であり、それぞれのバンドギャップや吸収係数などに対応した波長の短波長パルスレーザを用いる。

【0038】また、シリコン薄膜の場合、単結晶シリコンや多結晶シリコンに比べアモルファスシリコン膜の方が短波長（紫外光）における光吸収が非常に大きく融点も低いため、島状薄膜を十分に溶解して固化時に欠陥がない単結晶島とするには、第1の半導体薄膜としてはアモルファスシリコン膜を堆積することが望ましい。もちろん、第1の半導体薄膜として多結晶シリコンを堆積してもよいが、その場合、より高いエネルギーを供給しなければならずレーザ装置の性能の制限を越えてしまう場合があり、また、基板に熱ダメージを与える危険性が増加するため、作製条件の制約がより大きくなる。一方、供給するエネルギーが不十分であると粒界や欠陥が残留し問題となってしまう。また、第1の半導体薄膜としてアモルファスシリコン膜を堆積した後、約 $600^\circ\text{C}$ の固相成長を行い多結晶シリコンとしこれを島状に加工した後、エキシマレーザアニールしてもよいが、固相成長をもちいることにより工程数が増加し、またガラス基板に熱ダメージを与えやすいためあまり望ましくない。

【0039】また、島状薄膜をエキシマレーザにより溶解し固化する際には、基板を加熱しておくことが重要である。これはエキシマレーザにより溶解したシリコン膜は時間とともに冷却されるが、基板を加熱しておくことで冷却速度が緩和され単一の島に凝集固化しやすくなる。一般には温度が高いほど物体の粘性は高いが、冷却速度が緩和されると、この粘性が高い状態を維持する時間が長くなり、よって、島状薄膜は表面張力によって1つに凝集しやすくなる。つまり、溶解後の固化に際し多数の小さな島に分裂してしまうという問題を抑制できる。この

11

基板加熱は膜厚が薄い島状薄膜にレーザアニールする場合に、特に有効となる。また、基板を加熱しておく、冷却速度が緩和され成長粒はそもそも大粒径になりやすいため単一の単結晶島になりやすい。

【0040】このように、エキシマレーザなどの短波長のパルスレーザを用いて結晶核を形成する場合、基板加熱により、より大粒径で高品質な単一の結晶核を形成することが可能となる。なお、基板加熱はガラス基板に対する熱ダメージを考慮すると現状では500℃以下が望ましい。もっとも、耐熱性の高い石英基板を用いる場合やガラス基板でも600℃よりも高温側に歪み温度をもつガラスが開裂されれば、基板に熱ダメージを与えない温度であれば、基板を500℃以上に加熱してもよいことはいうまでもない。

【0041】なお、図1(a)乃至(c)においてアモルファスシリコン膜をエキシマレーザなどの短波長パルスレーザでアニールしてから後に島状に加工する手順も考えられる。しかしその場合、アモルファスシリコン膜は基板全面に存在しているため、レーザにより供給された熱はシリコン膜を横方向に伝わって逃げやすくなる。従って、溶解時間は短く、また冷却速度は比較的大きいため粒径は大きくなりやすく、表面張力により1つの単結晶の島に凝集することも困難となり、基板全面の膜は粒径の小さな多結晶膜となる。従って、さらに島状に加工した後アニールしても、粒径の小さい多結晶シリコン膜を出発材料とすると単結晶化するのが困難となり、より大きなレーザエネルギーを多結晶島に供給しなければならなくなる。このように、第1のシリコン薄膜はアモルファスシリコン膜であることが望ましく、多結晶シリコン膜であると単結晶化するために非常に大きなレーザエネルギーを供給しなければならなくなるのと同様、それは大粒径で高品質の単一の結晶核を形成するに適した手順とはならない場合がある。つまり、島状に加工してからアモルファスシリコン膜を短波長パルスレーザでアニールするようにするのが望ましい。

【0042】以上のように結晶性に優れた核を選択的に形成した後、次に図1(d)のようにLPCVD法により450℃にて100nm厚さの第2のアモルファスシリコン膜5を堆積した後、水素雰囲気中で、400℃に基板を保持した状態で、波長248nmでパルス幅25nsのエキシマレーザ装置を用いて、400mJ/cm<sup>2</sup>のエネルギーで、一か所当たり10ショット照射してアニールを行い、結晶成長し、多結晶シリコン膜6を形成した(図1(e))。多結晶シリコン膜6には多数の粒界6Bがあるが、選択的に配置された核の部分の粒径は非核配置部分の粒径の数倍以上の大きさであった。これはレーザにより膜が溶解し固化するに際し、単結晶核が起点となりまず初めに成長を開始するからである。

【0043】なお、エキシマレーザの照射エネルギーが十分高いと単結晶核の表面層も同時に溶解し固化するた

(7)

特開平8-316485

12

め、膜全体の平坦性は従来法に比べて大幅に改善された。また、このように単結晶核の表面層も第2のアモルファスシリコン膜5と同時に溶解し固化するの、結晶化した膜中の粒の結晶性は、この単結晶核からのいわばエピタキシャル的成長により欠陥を含まない良質の単結晶となった。欠陥を含まやすい従来法に比べて、本発明により極めて良質の結晶粒を形成することができた。従って、この時に照射するレーザのエネルギーは、第2のアモルファスシリコン膜5を全溶解できる値以上の値であり、かつ第2のアモルファスシリコン膜5の下層に配置された島状核の表面層は溶解できるが、しかし島状核を全溶解しない値以下である必要がある。エネルギーが島状核の表面層を溶解できる程度でないと、単結晶核からのエピタキシャル的成長ができず選択配置位置の結晶粒の結晶性を十分なものにすることができない。また、島状核を全溶解してしまうほど高いエネルギーを用いると、核がまったく存在していなかったのと同じになり、大粒径の粒の選択的な形成と配置ができなくなってしまうからである。なお、レーザを照射するにあたっては基板を加熱保持しながら凝集固化させることが望ましい。これは、この加熱により、溶解した膜が固化する時の冷却速度が緩和されるので、粒径が大きくなりやすいためである。

【0044】次に、水素雰囲気中で、400℃に基板を保持した状態で、波長248nmでパルス幅25nsのエキシマレーザ装置を用いて、400mJ/cm<sup>2</sup>のエネルギーを多数ショット(一か所当たり500ショット)照射して2次粒成長を生じせしめ、10μm前後の大粒径の粒を含む多結晶シリコン膜6を形成した(図1(f))。これにより、選択的に配置された核の部分6bの多結晶シリコン膜6の粒径は非核配置部分6cの多結晶シリコン膜6の粒径に比べさらに増加し、TFTチャネル部を無粒界とするに十分な大きさであった。

【0045】ここで、2次粒成長とは別名、異常成長とも呼ばれており、多結晶状態の金属薄膜や半導体薄膜において見られる現象である。2次粒成長は、一旦形成が完了した多結晶膜にさらに高いエネルギーを供給した場合に起こる現象であり、追加エネルギーにより粒界を含む膜の表面自由エネルギーを最小化しよう各粒は粒界や表面を通じて構成原子を移動させ、その大きさや配向性などを変える現象である。例えば、エキシマレーザアニールによりアモルファスシリコン膜を結晶化して得られる多結晶シリコン膜の粒径は0.1μmから1μm程度が一般的であるが、さらにエキシマレーザを照射し続けると2倍から数十倍程度の大きさの粒径に2次粒成長する。2次粒成長を促すために必要とされるエネルギーは、一か所に照射されるレーザのショット回数や膜厚あるいはシリコン膜と基板の界面状態などの複数の要因によるため、現在の知識範囲においては一概には決定できない。



13

【0046】但し前記実施例では、通常の多結晶シリコン膜の形成に対して必要な、レーザのショット数が数十ショットから数十ショットであるのに対して、2次粒成長のためには数十ショットから数百ショット以上、さらに照射することが有効である。もちろん、レーザパルス自体のエネルギーを増加させ追加照射することも有効である。

【0047】2次粒成長はどのように一旦形成が完了した膜にさらにエネルギーを供給し、その追加エネルギーを用いて膜の表面自由エネルギーを最小化するように各粒がその大きさや配向性などを変える現象であるが、その際、比較的小径の大きな粒は、周辺の比較的小径の小さな粒を消費しながら拡大することができることを見いだした。そのため図1(f)に示すように粒径の大きな多結晶シリコン膜6を選択的に形成することができる。なお、比較的小径の大きな粒が比較的小径の小さな粒を消費しながら拡大するメカニズムについては、現在の時点においては詳細にはわかっていないため、2次粒成長前の初期膜の膜厚やその配向性、照射エネルギー等の最適化を行うことが望ましい。

【0048】また、2次粒成長を行うにあたり、水素雰囲気中でエキシマレーザを照射し成長を行うことが動作層の膜質を良好にする上で有効であった。これは、表面に自然に形成されやすい酸化膜が水素雰囲気中では除去され易く、よって各粒がその大きさや配向性などを変えて膜の表面自由エネルギーを最小化するために移動することがより容易になるためである。また特に、本発明の場合、エキシマレーザを多数ショット照射し成長を行うが、ショットごとに酸素がシリコン膜に侵入すると、キャリア移動度や閾値電圧が劣化し信頼性も低くなるため、その防止および抑制という点から特にこの水素雰囲気中での処理は効果的である。このことは供給されるエネルギーが非常に大きく、また多数ショットを照射する本発明の方法の場合には特に有効である。容易に表面が酸化しやすく、また、欠陥源となる酸素が不純物として膜中にも侵入されやすいことを考えるとこの水素雰囲気中での保持効果がより大きいことがわかる。また、2次粒成長を行うにあたって水素プラズマ雰囲気中あるいは水素ラジカル雰囲気中でエキシマレーザを照射し成長を行うことも、同様に動作層の膜質を良好にする上で有効であった。また、2次粒成長を行うにあたって表面を水素プラズマや各種ガスによりエッチングし、表面酸化物を除去してから2次粒成長することも同様な理由から有効である。

【0049】また、2次粒成長を行うにあたって、シリコン膜が堆積される基板表面はなるべく平坦でまた清浄に処理されていることが望ましい。平坦でまた清浄であれば欠陥のきわめて少ない良好な膜を得ることができる。また、2次粒成長を行うにあたって膜厚は薄い方が2次粒成長しやすいく。つまり、より少ないエネルギーに

(8)

特開平8-316485

14

より、膜の表面自由エネルギーを最小化するように、各粒の再成長もしくは消費をおこなうことができる。ただし、比較的小径の大きな粒が、周辺の比較的小径の小さな粒を消費しながら拡大するためには、膜厚や配向性、照射エネルギーなどの組合せが最適である必要があるため、必ずしも常に膜厚は薄い方が良いわけではない。従って、実際には各条件を勘案して膜厚やエネルギーなどを決定するのが望ましい。

【0050】また、基板を加熱した状態で2次粒成長を行うことが望ましい。これはレーザアニールにおけるシリコン膜の冷却速度が緩和され、高温状態が長引くため、膜を構成している各粒が移動しやすくなるためである。特に、本発明においては単結晶シリコン粒を核として2次粒成長を行うのであるが、各粒を移動しやすくし欠陥や粒界が残存しないようにさらに大粒化するように配慮する上で、この基板加熱は先の水素雰囲気中での処理とあわせて極めて有効な方法であった。なお、基板加熱はガラス基板に対する熱ダメージを考慮すると前述したように現在では500℃以下が望ましい。

【0051】以上の方法により、選択的に大径の高品質多結晶シリコン膜を形成することができた。

【0052】このように選択的に大径でかつ単結晶と同等の結晶性をもつ粒からなる半導体動作層を低温で形成することができたのは、短波長パルスレーザを用いて極めて結晶性の良い核を形成し、その上に堆積した第2のアモルファスシリコン膜に対しても同様に短波長パルスレーザを用いたためである。もちろん、動作層の形成において2次粒成長を行うことが可能となる技術を提示できたことにもよる。従って、大径でかつ単結晶と同等な結晶性をもつ粒を低温で選択的に形成するには、核形成にも動作層形成にも固相成長を用いていた従来法と比べ、短波長パルスレーザを用いて低温プロセスにて十分なエネルギーを供給できる本発明の方法は極めて有効である。

【0053】次に、このようにして得られた多結晶シリコン膜をパターンニングし、素子分離された動作層6となし、ECR-CVD法により室温にて100nm厚さのSiO<sub>2</sub>からなるゲート絶縁膜7を堆積した。そしてゲート電極8としてスパッタ装置により150℃にて500nm厚さのTa薄膜を堆積し、ホトリソグラフィ技術を使ってパターンを形成した。このゲート電極をマスクとしてイオンドーピング装置によりソース領域9aおよびドレイン領域9bに不純物を導入した。注入条件は、ソース・ドレイン領域をn+型にする場合とp+型にする場合とで異なり、それぞれ、100keVで水素酸の5%PH<sub>3</sub>を $1 \times 10^{18} \text{ cm}^{-2}$ 、40keVで水素酸の5%B<sub>2</sub>H<sub>6</sub>を $1 \times 10^{18} \text{ cm}^{-2}$ 導入する。導入後、水素雰囲気中で400℃、1時間加熱し、不純物の活性化アニールを行った。さらにプラズマCVDにより250℃にて1μm厚さのSiO<sub>2</sub>からなる層間絶縁膜10を堆

15

續し、フッ酸によるウエットエッチングにより電極取り出しのための開口をあけ、スパッタ装置により150℃にて1μm厚さのA1を堆積・パターニングして配線11を形成し、その上にプラズマCVD法によりSiNからなる保護膜12を200℃にて1μm厚さ堆積した(図1(a))。このようにして作製された多結晶シリコンTFTの多結晶シリコン動作層のチャネル部分には、膜の粒界を含まないように大粒径の粒が配置されている。リーク電流は、最も電界強度の高いドレイン電極端の粒界を介して発生する。しかし、ドレイン電極端に粒界が存在しないようにしたために、粒界が原因となるリーク電流の発生も大幅に削減できしかも均一化できた。また、それぞれの多結晶シリコンTFTの動作層は単一の単結晶なので、キャリア移動度や閾値電圧も単結晶基板をもちいた素子と同等の高性能を示した。また、選択的に単結晶動作層を配置したためTFT特性はきわめて均一性の高いものとなった。また、堆積した第2のアモルファスシリコン膜を熔融する際、同時に単結晶核表面も熔融し固化するため、従来法に比べ動作層膜の凹凸も小さくすることができた。

【0054】次に本発明の第2の実施例について説明する。前記実施例1の作製プロセスにはほぼ同じであり、異なるのは核となる島状薄膜の結晶化工程である。図面は第1の実施例と同様、図1を用いて説明する。

【0055】まず、ガラス基板1上にLPCVD法により450℃にて30nm厚さの第1のアモルファスシリコン膜2を堆積した後(図1(a))、ホトリソグラフィ技術をもちいて島状に加工した(図1(b))。島3の大きさは一辺の長さが1μmの正方形とした。次に水素雰囲気中で、400℃に基板を保持した状態にて、波長248nmパルス幅25nsecのエキシマレーザ装置を用いて、350mJ/cm<sup>2</sup>のエネルギーで一か所あたり10ショットにて熔融し固化して結晶化した。平坦性を考慮し第1のアモルファスシリコン膜2の膜厚は実施例1より薄い値である。しかし、膜厚が薄いとアニールにより熔融し固化する際に分裂しやすいため、照射エネルギーも350mJ/cm<sup>2</sup>と低い値にした。従って、この場合に得られた膜は実施例1と異なり多結晶であった。

【0056】さらに、次に水素雰囲気中で、400℃に基板を保持した状態にて、波長248nmパルス幅25nsecのエキシマレーザ装置を用いて350mJ/cm<sup>2</sup>のエネルギーで一か所あたり300ショット照射して結晶化し2次粒成長を行った。この核を評価したところ欠陥を含まない1つの単結晶島となっていた。このようにして島状多結晶膜は単結晶島4となり、成長用の核を形成することができた(図1(c))。

【0057】エキシマレーザのような短波長パルスレーザを用いることにより、極めて結晶性の良好な単結晶島を、低温下で大面積のガラス基板上に得ることができた。なお、先の多結晶島に数ショットから数十ショット

(9)

特開平8-316485

16

をエキシマレーザで追加アニールしても2次粒成長は起こりにくく、各粒径はほとんど変わらず島は多結晶のままであった。2次粒成長を引き起こすには十分なエネルギー(この場合はショット回数)を供給する必要があった。

【0058】このように本発明者らは、再度エキシマレーザを照射して2次粒成長を起こし、良質な単結晶の島にすることができていることを見いだした。この方法は、アモルファスシリコン膜を島状に加工する際に作製技術上あるいは装置性能上、島の最小加工寸法を比較的小さくできない場合や、膜厚や照射エネルギーなどが適当なものにできない場合に有効である。特に、最終の動作層膜の平坦性を良好な状態とするため、第1のアモルファスシリコン膜を薄くしなければならず、よってその場合レーザアニール時に島が分裂しやすく、一方分散させないようにエネルギーを下げると多結晶膜になってしまう場合に特に有効である。このことは、島状アモルファスシリコン膜の大きさを比較的小さくできず多結晶膜になってしまう場合にも同様である。これらの場合、アモルファスシリコン膜は多結晶膜となってしまうやすいが、しかし2次粒成長によって改めて単結晶化できる。従って、成長用の良質で平坦な単結晶核を低温で形成する上で、この2次粒成長は非常に有効である。

【0059】なお、前述した理由により島状薄膜の膜厚は0.2μm以下、大きさは0.01μmから5μm、形状は円形とするのが望ましい。また、核の2次粒成長に関し満足すべき条件は前記実施例1で述べたこととほぼ同じで、基板を加熱することや水素雰囲気中に保持することは勿論重要である。ただし、先の実施例1では基板全面に存在する第2のシリコン膜に対して2次粒成長したが、この実施例では多結晶島は熱的に孤立して存在しておりその熱容量も小さい。従って、アニール時に熱が逃げにくく、2次粒成長に必要とされるエネルギーはより少ないものとなる。

【0060】以上のように結晶性に優れた核を選択的に形成した後、次に図1(d)のようにLPCVD法により450℃にて100nm厚さの第2のアモルファスシリコン膜5を堆積した後、水素雰囲気中で、400℃に基板を保持した状態にて、波長248nm、パルス幅25nsecのエキシマレーザ装置を用いて400mJ/cm<sup>2</sup>のエネルギーで一か所あたり10ショット照射して結晶成長し多結晶シリコン膜6を形成した(図1(e))。多結晶シリコン膜6には多数の粒界があるが、選択的に配置された核の部分6bの粒径は非核配置部分6cの粒径の数倍の大きさであった。これはレーザにより膜が熔融し固化するに際し、単結晶核が起点となりまず初めに成長を開始するからである。なお、エキシマレーザの照射エネルギーが高いと単結晶核の表面層も同時に熔融し固化するの、膜全体の平坦性は従来方法に比べて改善された。さらに、実施例1に比べてより平坦なであった。

(10)

特開平8-316485

17

また、このように単結晶シリコン核の表面層も第2のアモルファスシリコン膜5と同時に溶融し固化するので、結晶化した膜中の粒の結晶性はこの単結晶核からいわばエピタキシャル的に成長し欠陥を含まない良質の結晶となり、欠陥を含む従来法に比べて良質の結晶粒が成長できた。なお、照射するレーザー光のエネルギーなどの条件は先の実施例1と同様である。

【0061】次に、水素雰囲気中で、400℃に基板を保持した状態で、波長248nmでパルス幅25nsecのエキシマレーザー装置を用いて400mJ/cm<sup>2</sup>のエネルギーを多数ショット（一か所あたり500ショット）照射して2次粒成長を生じせしめ、大粒径の多結晶シリコン膜を形成した（図1(e)）。これにより、選択的に配置された核の部分6bの粒径は非核配置部分6cの粒径に比べさらに増加した。2次粒成長は先に述べたように、比較的大粒径の大きな粒が、周辺の比較的小粒径の粒を消費しながら拡大するもので、そのため図1(f)に示すように粒径の大きな粒をもつ多結晶シリコン膜を選択的に形成することができた。なお、2次粒成長を行うにあたって水素雰囲気中また基板を加熱した状態でエキシマレーザーを照射し成長を行うことが有効であることは先の実施例1と同様である。

【0062】以上の方法により、大粒径で高品質の多結晶シリコン膜を形成することができた。

【0063】このように大粒径でかつ単結晶と同等の結晶性をもつ粒からなる半導体動作層を低温で形成できたのは、短波長パルスレーザーを用いて極めて結晶性の良い核を形成し、その上に堆積した第2のアモルファスシリコン膜に対して短波長パルスレーザーを用いたためである。もちろん、核の形成や動作層の形成において2次粒成長を行うことが可能となる技術を開示できたことにもよる。従って、核にも動作層の形成にも固相成長を用いていた従来法に比べ、短波長パルスレーザーを用いて低温プロセスながら十分なエネルギーを成長に供給できる本発明の方法は極めて有効であると言える。

【0064】次に、前記第1の実施例と同様にして多結晶シリコン膜6を島状にパターニングし、同様に薄膜トランジスタを形成した。このようにして作製された多結晶シリコンTFTの多結晶シリコン動作層のチャンネル部分には、膜の粒界を含まないように大粒径の粒が配置されている。リーク電流は、最も電界強度の高いドレイン電極端の粒界を介して発生する。しかし、ドレイン電極端に粒界が存在しないようにしたために、粒界が原因となるリーク電流の発生も大幅に削減できしかも均一化できた。また、それぞれの多結晶シリコンTFTの動作層は単一の単結晶なので、キャリア移動度や閾値電圧も単結晶基板をもちいた素子と同等の高性能を示した。また、選択的に単結晶動作層を配置したためTFT特性はきわめて均一性の高いものとなった。また、堆積した第2のアモルファスシリコン膜を溶融する際、同時に単結

18

晶核表面も溶融し固化するため、従来法に比べ動作層膜の凹凸も小さくすることができた。

【0065】次に本発明の第3の実施例について説明する。

【0066】まず、図3(a)に示すように、ガラス基板1上にLPCVD法により450℃にて50nm厚さの第1のアモルファスシリコン膜2を堆積した後、ホトリソグラフィー技術を用いて島状に加工した（図3(b)）。ここでアモルファスシリコン島3の大きさは一辺の長さbが0.5μmの正方形とした。またアモルファスシリコン島の島と島との間の距離aは1μmとした。

【0067】次に、基板を400℃に保持し、水素雰囲気中で、波長248nmでパルス幅25nsecのエキシマレーザー装置を用いて、500mJ/cm<sup>2</sup>のエネルギーを一か所あたり10ショット供給して溶融し固化して結晶化した。得られた島は実施例1と同様、単一の単結晶膜であった（図3(c)）。

【0068】このようにして結晶性に優れた核を選択的に形成した後、次に図3(d)のようにLPCVD法により450℃にて100nm厚さの第2のアモルファスシリコン膜5を堆積した後、水素雰囲気中で、400℃に基板を保持し、波長248nm、パルス幅25nsecのエキシマレーザー装置を用いて400mJ/cm<sup>2</sup>のエネルギーを一か所あたり10ショット供給して結晶成長し多結晶シリコン膜6を形成した（図3(e)）。多結晶シリコン膜6を構成している各粒は島の大きさより拡大せしめられ単結晶であった。アモルファスシリコン3の大きさは一辺の長さが0.5μmであったが粒径はほぼ1μmであった。膜中には多数の粒界があるが、選択的に配置された核により粒径は均一であった。これはレーザーにより膜が溶融し固化するに際し、単結晶シリコン核が起点となり成長を開始し、隣接する核から成長してくる粒同士が、核と核のほぼ中間位置にて衝突しそのまま固化したためである。なお、エキシマレーザーの照射エネルギーが高いと単結晶核の表面層も同時に溶融し固化するので、膜全体の平坦性は従来法に比べてより改善される。また、このように単結晶シリコン核の表面層も第2のアモルファスシリコン膜5と同時に溶融し固化するので、結晶化した膜中の粒の結晶性はこの単結晶シリコン核からいわばエピタキシャル的に成長し欠陥を含まない良質の結晶となり、欠陥を含んでいた従来法に比べて良質の結晶粒が成長できた。なお、照射するレーザー光のエネルギーなどの本発明が満足すべき条件は前記実施例1と同様である。もちろん、この核の形成において実施例2のように2次粒成長を行ってもよい。このようにして、比較的大粒径で高品質の多結晶シリコン膜を形成することができた。

【0069】次に、このようにして得られた多結晶シリコン膜6を島状にパターニングし、実施例1および2の場合と同様にしてこの多結晶シリコン膜6を動作層とす

(11)

特開平8-316485

19

る薄膜トランジスタを形成した。(図3(f))。なお、この動作層は、図1の場合と同様に図3(d)や(e)に示されている多結晶シリコン膜に比べ幾分縮小して描かれている。

【0070】このようにして作製された多結晶シリコンTFTの多結晶シリコン動作層は粒界を含むものの、粒粒は極めて均一でありかつ粒粒は結晶性の良好な単結晶である。したがってチャネル内に、粒界を含まない実施例1および2の場合に比べると、リーク電流や、キャリア移動度や閾値電圧などのTFT特性は劣るものの、従来の方法に比べ、TFT特性はより良好でかつ極めて均一性の高いものであった。

【0071】これは従来の方法に比べると粒界の数は多いが、エキシマレーザアニールを用いているため、粒界の欠陥数は少なくかつ粒内の欠陥数も極めて少なかったためである。TFT特性を支配する膜中の欠陥数を減らす場合、粒界の数と、粒界当たりの欠陥数、そして粒内の欠陥数の三者の総計を考慮しなければならない。もちろん、実施例3では実施例1あるいは実施例2に比べてTFT特性は劣るものの、特性は均一であり単結晶と同等の特性でなくとも多結晶シリコンTFTが適用される半導体素子によっては十分に産業上の価値をもつ。また、動作層工程において2次粒成長がない分、低コストであるという利点をもつ。

【0072】なお、前記実施例3においては図3の(b)において加工されるアモルファスシリコン島の間隔は、実施例1や2と異なり、2次粒成長を用いないため当然制限がある。望ましくは、島間隔aは島の大きさbの10倍以下であり、特に島の大きさbの2倍以下が望ましい。これは、単結晶化できる島の大きさb以上に離して島を配置してしまうと、動作層成長中に核がなかった部分からも粒が発生しやすくなり、よってTFT特性の均一性を損なうからである。島間の距離はレーザアニール条件や第2の半導体薄膜の膜厚のみならず、基板やバッファ層の表面状態にもよるためこれらを勘案して決定しなければならない。

【0073】なお、前記実施例1から3に示した本発明においては、島状に加工された第1の半導体薄膜に短波長パルスレーザを照射し凝集固化させて成長用の核を形成するにあたって、また場合によっては核の上部を覆う第2の半導体薄膜に短波長パルスレーザ光を照射して結晶化させる場合も含め、アライメントマークに相当する部位には短波長パルスレーザ光を照射しないことが望ましい。これにより、従来必要であったアライメントマーク作成工程が不要となり低コスト化をはかることができる。以下、この方法について図4を用いて説明する。なお、図4は動作層形成における途中工程まで示したものである。

【0074】素子作製工程では、まず、フォトリソグラフィ工程において動作層膜全面にレジストを塗布し、

20

ステッパーなどの露光装置により露光し、素子分離するために動作層部の上のみにレジストパターンを残し、ドライエッチングなどにより動作層膜をエッチングする。そこでこの際、選択的に配置された核の位置を特定し、これに対してパターンをフォトリソグラフィ工程においてアライメントレジスト露光しなければならない。しかし、第1の半導体薄膜を島状に加工した際に同時に形成されたアライメントマーク3Mとなる部分も、短波長パルスレーザにより凝集固化されてしまうアライメントマークとして機能しなくなってしまう。つまり、レーザ照射によりアライメントマーク部も溶融し凝集してしまうため、アライメントマークとして機能しなくなってしまうのである。

【0075】そこで、レーザ光は2次元面上で選択的に照射することができるため、アライメントマークとなる部分にはレーザ光を照射しないことによりアライメントマークとしての機能を保持することができる。この方法は図1で説明した実施例1とほとんど同様であるがアライメントマーク3Mをアモルファスシリコン島の形成と同時に形成しておき、後のレーザ光照射工程で、この領域を避けてレーザ光照射を行うようにしたことを特徴とする。

【0076】まず、図4(a)に示すようにガラス基板1表面にLPCVD法により、基板温度450℃にて膜厚50nmのアモルファスシリコン膜2を堆積する。この後、フォトリソグラフィ技術をもちいて島状に加工した(図4(b))。ここで島の大きさは一辺の長さが1μmの正方形とした。そしてこのときアライメントマーク3Mも同時にパターンニングしておく。

【0077】次に、水素雰囲気中で、基板を400℃に保持した状態で、波長248nm、パルス幅25nsecのエキシマレーザ装置を用いて一か所あたり1ショットで500mJ/cm<sup>2</sup>のエネルギーにて溶融固化して結晶化し核4を形成した。この核を評価したところ欠陥を含まない1つの単結晶島となっていた(図4(c))。この時、レーザ光はアライメントマーク3Mには照射しない。従って、アライメントマーク部3Mのパターンは凝集による変形が発生しないため、素子分離のための動作層加工用パターンとアライメントできるのである。

【0078】次に図4(d)のようにLPCVD法により450℃にて100nm厚さの第2のアモルファスシリコン膜5を堆積した後、水素雰囲気中で、400℃に基板を保持した状態で、波長248nmでパルス幅25nsecのエキシマレーザ装置を用いて400mJ/cm<sup>2</sup>のエネルギーで一か所あたり10ショットでアニールを行い結晶成長することにより多結晶シリコン膜6を形成した(図1(e))。この時もレーザ光はアライメントマーク部3Mには照射せず、アライメントマークの変形が起こらないようにした。この後、2次粒成長する場合でも、同様にアライメントマーク部には照射しないことが望ま

しい。

【0079】このように核上に堆積した第2半導体薄膜を短波長パルスレーザによりアニールする際にも、アライメントマークとなる部分にはレーザ光を照射しないことが望ましい。もちろん、第2半導体薄膜をアニールしてもアライメントマークとしての機能するならば、第2半導体薄膜はアニールしてもかまわない。

【0080】従って、従来では第1半導体薄膜を堆積するに先立ち別の材料で形成していたアライメントマークの作製工程を省略することができ、核形成と同一工程でアライメントマークを形成することが可能となり、低コスト化をはかることができた。すなわち従来は、TaやCrなどの金属などを堆積しフォトリソグラフィ工程をとおしてアライメントマークをパターンニングしていたのである。

【0081】なお、前記実施例では、第2のアモルファスシリコン膜5を形成した後、短波長パルスレーザによる結晶化および2次粒成長を行ったが、まず固相成長を行い、この後短波長パルスレーザによる2次粒成長を行うようにしてもよい。次に、本発明の第5の実施例としてこの方法について図5を参照しつつ説明する。この例では、図5(a)乃至(d)において核を形成し、この上層にアモルファスシリコン膜5を形成する工程までは前記実施例1と同様であるが、この後図5(e)に示すように600℃の窒素雰囲気中で48時間の熱処理を行い固相成長を行う。この工程で第1のアモルファスシリコン膜5は核としての単結晶シリコン島4から選択的に粒界6Bに衝突するまで成長し、約10μmの粒径をもつ多結晶シリコン膜6となった。しかし結晶性に優れた核を用いて固相成長を行ったにもかかわらず、透過型電子顕微鏡を用いて観察した結果、粒内に欠陥が形成されていた。(なおこの観察は欠陥部を選択的にエッチングし電子顕微鏡によって観察して確認してもよい。)

次に、水素雰囲気中で、400℃に基板を保持した状態にて、波長248nmでパルス幅25nsecのエキシマレーザ装置を用いて400mJ/cm<sup>2</sup>のエネルギーを一か所当たり10ショット照射してレーザアニールを行った(図5(f))。このようにして得られた多結晶シリコン膜は、粒内および粒界の欠陥が大幅に低減されていた。かかる構成によれば、短波長レーザ光の照射により、配置された核の部分に、従来法に比べ結晶性が良好でかつ粒内にTF T(図5(a))のチャネルを形成するのに十分な大きさの粒をもつ多結晶シリコン膜を選択的に形成することが可能となる。

【0082】なお、この例では、核の形成に短波長レーザ光の照射による2次粒成長を用いたが、図5(c)においてレーザアニールに代えて600℃の窒素雰囲気中で48時間保持し固相成長を行い、他は同様の工程を経て形成した多結晶シリコン膜では多数の欠陥が発生した。この方法との比較により、核の結晶性が改善されたた

め、良好な多結晶シリコン膜が形成されていることがわかる。

【0083】また前記実施例では固相成長後、400mJ/cm<sup>2</sup>のエネルギーを一か所当たり10ショット照射してレーザアニールを行ったが、さらに図6に工程図を示すように、固相成長工程までは前記実施例と同様に行った後、水素雰囲気中で、400℃に基板を保持した状態にて、波長248nm、パルス幅25nsecのエキシマレーザ装置を用いて400mJ/cm<sup>2</sup>のエネルギーを一か所当たり400ショット照射して2次粒成長を行った(図6(f))。このようにして得られた多結晶シリコン膜は、さらに欠陥が大幅に低減されていた。かかる構成によれば、短波長レーザ光の照射により、2次粒成長が起こり、粒径が大きく結晶性の優れた多結晶シリコン膜6が形成される。従ってこの多結晶シリコン膜6を動作層とする極めて優れたTF Tのチャネルを形成するのに十分な大きさの粒をもつ多結晶シリコン膜を選択的に形成することが可能となる。(図6(q))

なお、本発明は実施例としてガラス基板上に多結晶シリコンTF Tを形成する場合について述べたが、石英基板上やあるいはシリコン基板上の絶縁膜の上に形成する多結晶シリコンTF Tあるいは単結晶シリコンTF Tを作製するにおいても有効である。また、絶縁性基板上やあるいは絶縁膜上に太陽電池やバイポーラトランジスタあるいはCCDなどを形成する場合にももちろん同様に効果的である。

【0084】

【発明の効果】本発明によれば、絶縁性基板上に堆積した第1の半導体薄膜を島状に加工する工程と、これに短波長パルスレーザを照射し凝集固化させて成長用の単結晶核を形成する工程と、さらにその上部を覆うように第2の半導体薄膜を堆積する工程と、これに短波長パルスレーザ光を照射して結晶成長する工程とを具備することにより、結晶性が良好な結晶核を得ることができるとともに、これを用いて結晶性が良好でかつ粒径が大きく粒径分布が制御された半導体結晶膜を、平坦性よく、低温で、かつスループットよく形成することができ、高性能で均一性の高い多結晶シリコンTF Tを提供することが可能となる。またアライメントマークの作製工程を削減し低コスト化をはかることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の多結晶シリコンTF Tの製造工程図

【図2】本発明の原理説明図

【図3】本発明の第3の実施例の多結晶シリコンTF Tの製造工程図

【図4】本発明の第4の実施例の多結晶シリコンTF Tの製造工程を示す部分説明図

【図5】本発明の第5の実施例の多結晶シリコンTF Tの製造工程図

(13)

特開平8-316485

23

24

【図6】本発明の第6の実施例の多結晶シリコンTFTの製造工程を示す図

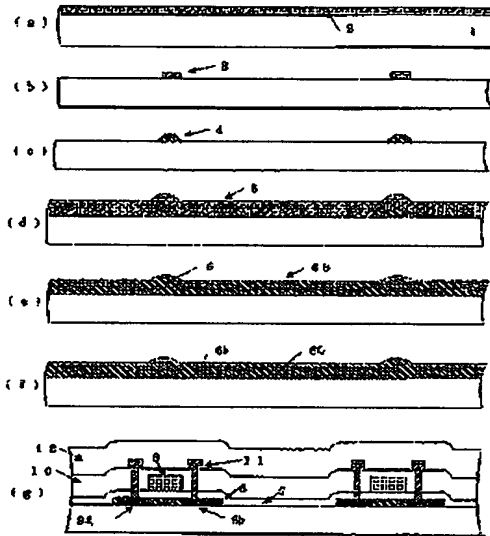
【図7】従来例の多結晶シリコンTFTの製造工程図  
【符号の説明】

- 1 基板
- 2 第1の半導体薄膜
- 3 第1の半導体薄膜を加工した島
- 4 島を結晶化して形成した成長用の核
- 5 第2の半導体薄膜

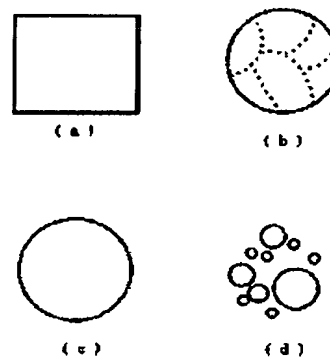
\* 6 多結晶シリコン動作層

- 6B 粒界
- 7 ゲート絶縁膜
- 8 ゲート電極
- 9a ソース領域
- 9b ドレイン領域
- 10 層間絶縁膜
- 11 配線電極
- \* 12 保護絶縁膜

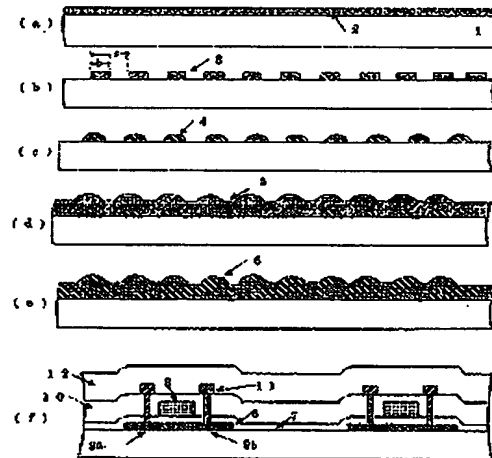
【図1】



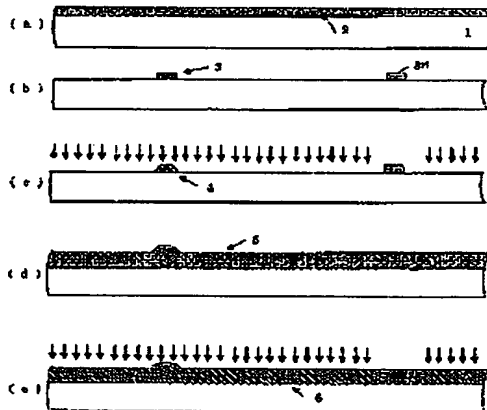
【図2】



【図3】



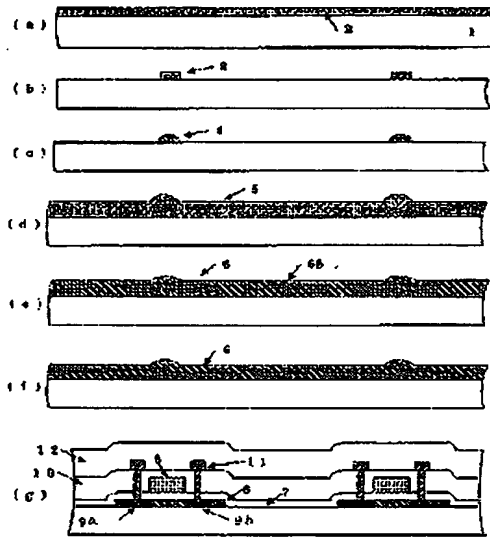
【図4】



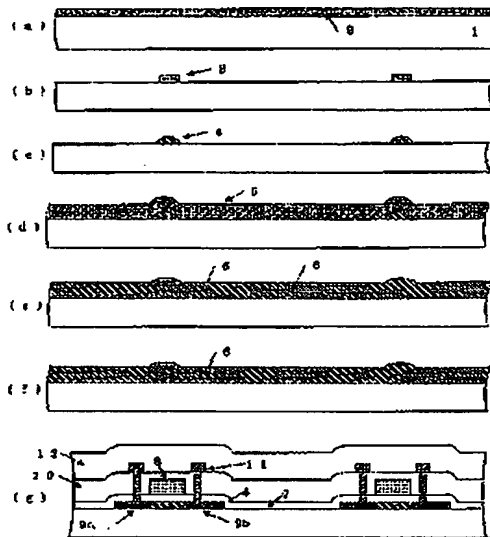
(14)

特開平8-316485

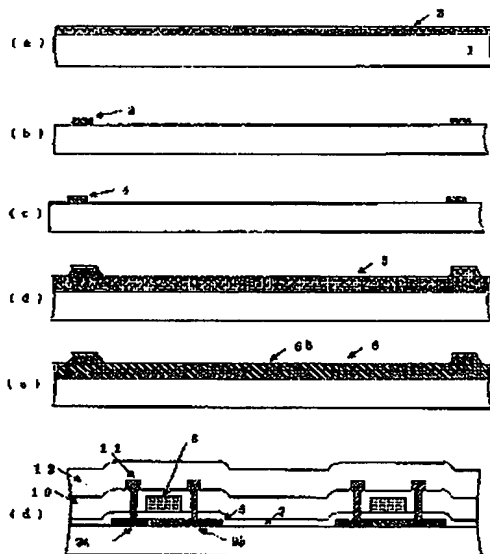
【図5】



【図6】



【図7】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**